

DIALOG(R) File 351:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

004357523

WPI Acc No: 1985-184401/ 198531

XRPX Acc No: N85-138418

Activating latent defects in IGFET memory cells - applying heat and test voltage to cell array during mfr. and using shift in threshold as measure of defect

Patent Assignee: DEUT ITT IND GMBH (INTT)

Inventor: ADAMM F G

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
DE 3345172	A	19850725	DE 3345172	A	19831214	198531 B

Priority Applications (No Type Date): DE 3345172 A 19831214

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
DE 3345172	A		12		

Abstract (Basic): DE 3345172 A

A heating plate (4) is brought into thermal and electrical contact with the second surface (3) of the semiconductor substrate (1) after the conducting layer (2) has been applied to the first surface of the substrate. A contact (5) is formed on the conducting layer and a voltage applied to produce an electric field.

The remainder of the production sequence is executed and the displacement of the threshold of the IGFET is measured as an indication of the degree of defectiveness of the IGFET cell.

ADVANTAGE - Places all tunnel insulating layers of the memory cells on a semiconductor substrate under load at relatively high temp. to increase the rate at which defective cells can be detected.

4/4

Title Terms: ACTIVATE; LATENT; DEFECT; IGFET; MEMORY; CELL; APPLY; HEAT; TEST; VOLTAGE; CELL; ARRAY; MANUFACTURE; SHIFT; THRESHOLD; MEASURE; DEFECT

Index Terms/Additional Words: INSULATE; GATE; FET

Derwent Class: P43; U11; U14

International Patent Class (Additional): B07C-005/34; G11C-005/12;

G11C-011/40; G11C-029/00; H01L-021/66

File Segment: EPI; EngPI

Manual Codes (EPI/S-X): U11-F01C; U14-D

AN6

①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Offenlegungsschrift**
⑪ **DE 3345172 A1**

⑳ Aktenzeichen: P 33 45 172.9
㉔ Anmeldetag: 14. 12. 83
㉕ Offenlegungstag: 25. 7. 85

⑥1 Int. Cl. 4:
G 11 C 11/40

G 11 C 5/12
G 11 C 29/00
B 07 C 5/344
H 01 L 21/66

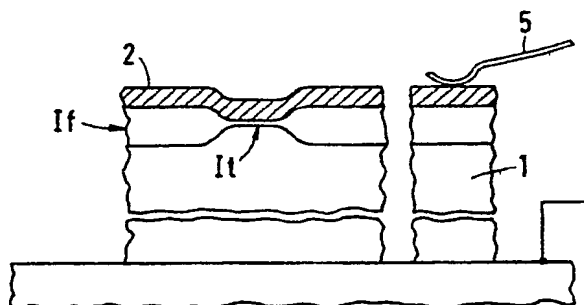
DE 3345172 A1

㉑ Anmelder:
Deutsche ITT Industries GmbH, 7800 Freiburg, DE

㉒ Erfinder:
Adam, Fritz Günter, Dipl.-Phys.Dr.rer.nat., 7800
Freiburg, DE

⑤4 Verfahren zum Aktivieren von latenten Defekten in Speichern mit
Speicher-Isolierschicht-Feldeffekttransistoren, welche ein potentialmäßig schwebendes Speichergate
aufweisen

Entsprechend dem Verfahren wird ein Prozeß zum Herstellen von integrierten Schaltungen mit Speichertransistoren, welche je ein potentialmäßig schwebendes Speichergate (Fg) aufweisen in dem Stadium unterbrochen, in welchem die einzelnen Speichergates noch nicht aus einer Leitschicht (2) ausgeätzt worden sind, so daß zwischen der Leitschicht (2) und der Halbleiterplatte (1), welche mittels einer Heizplatte kontaktiert ist, eine solche Spannung bei erhöhter Temperatur anlegbar ist, daß die latenten Defekte der Tunnelisolatorschichten (It) aktiviert werden. Es können auf diese Weise bereits in einem relativ frühen Stadium Speicher aussortiert werden, die erst beim Endtest nach einer Alterung als defekt erkannt worden wären.



ORIGINAL INSPECTED

DE 3345172 A1

ANG

F.G. Adam 58

#1 1204

go/bk

08. Dezember 198

Patentansprüche

latenten

1. Verfahren zum Aktivieren von Defekten in Speichern mit Speicher-Isolierschicht-Feldeffekttransistoren, welche je ein potentialmäßig schwebendes Speichergate (Fg) und je eine Tunnelisolatorschicht (It) aufweisen, die
5 sich innerhalb einer Öffnung einer dickeren Isolatorschicht (If, Ig) erstreckt und an einen Speichergate-
teil des Speichergates (Fg) angrenzt, zu dessen Herstellung
- nach der Erzeugung der Tunnelisolatorschicht (It)
10 zusammen mit innerhalb von weiteren Öffnungen der
Isolatorschicht angeordneten weiteren Tunnelisolator-
schichten an weiteren an einer Halbleiterplatte (1)
gemeinsam hergestellten Speicher-Isolierschicht-Feld-
effekttransistoren die die Tunnelisolatorschichten
15 aufweisende erste Oberflächenseite der Halbleiter-
platte (1) mit einer zusammenhängenden Leitschicht
(2) bedeckt wird, aus der die Speichergates heraus-
geätzt werden, und
- danach die weiteren zur Funktionsweise der Speicher
20 erforderlichen Elektroden, Leitschichten und Kontakte
hergestellt werden,
-- bei welchem Verfahren zum Aktivieren der Defekte die
Tunnelisolatorschichten bei erhöhter Temperatur einer
Belastung in einem elektrischen Feld unterworfen werden
25 und
-- danach das Ausmaß der Aktivierung der Defekte über
eine Messung der Verschiebung der Schwellwerte der
Speicher-Isolierschicht-Feldeffekttransistoren be-
stimmt wird,

F.G. Adam 58

F1 1204

dadurch gekennzeichnet,

- daß nach dem Aufbringen der zusammenhängenden Leitschicht (2) die zweite Oberflächenseite (3) der Halbleiterplatte (1) in gut wärmeleitenden und elektrisch leitenden Kontakt mit der Oberfläche einer Heizplatte (4) gebracht wird,
 - daß an die Leitschicht (2) auf der ersten Oberflächenseite ein Kontakt (5) angebracht wird,
 - daß dann zwischen der Heizplatte (4) und dem Kontakt (5) zur Erzeugung des elektrischen Feldes eine Spannung angelegt wird und
 - daß nach Ablauf der restlichen Herstellungsprozesse das Ausmaß der Aktivierung der Defekte über eine Messung der Verschiebung der Schwellwerte der Speicher-Isolierschicht-Feldeffekttransistoren bestimmt wird.
2. Verfahren zum Aktivieren von Defekten nach Anspruch 1, dadurch gekennzeichnet, daß vor der Messung der Verschiebungen der Schwellwerte zwischen der Heizplatte (4) und dem Kontakt (5) eine Spannung wechselnder Polarität angelegt wird.
3. Verfahren zum Aktivieren von Defekten nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Messungen der Verschiebungen der Schwellwerte nach der Herstellung der zur Funktionsweise der Speicher erforderlichen Elektroden, Leitschichten und Kontakte erfolgt.

COPY

BAD ORIGINAL

4.1-7
NACHGEREICHT

15.04.83

3.

- - 3345172
P33 45 172.9

F.G. Adam 58

Fl 1204

Go/bk

08. Dezember 1983

Verfahren zum Aktivieren von latenten Defekten in
Speichern mit Speicher-Isolierschicht-Feldeffekttransistoren,
welche ein potentialmäßig schwebendes Speichergate aufweisen

Für den Hersteller von elektrisch programmierbaren integrierten Speichern, welche Speicherzellen mit Isolierschicht-Feldeffekttransistoren enthalten, die je ein potentialmäßig schwebendes Speichergate aufweisen (Floating-Gate-
5 EEPROM), besteht das Problem des Aussortierens oder Aus-siebens (Screening) derjenigen Speicher, die eine gewisse Mindestzahl von Programmierzyklen (Schreiben/Löschen) mit großer Sicherheit nicht überstehen werden, die also aufgrund
10 latenter Defekte, welche das Schwellwertfenster vorzeitig schrumpfen lassen, als unzuverlässig erkannt und aussortiert werden müssen. Solche Speicher mit latenten Defekten können ohne Aktivierung dieser Defekte bei einer normalen durchlaufenden Messung nicht erkannt und aussortiert werden. Dieses Problem ist aus dem Aufsatz von R.E.Shiner et al
15 "21th annual proceedings, reliability physics" (1983) Seiten 248 bis 256 und dem Aufsatz von B.Euzent et al "19th annual proceedings reliability physics" (1981) Seiten 11 bis 16, bekannt. Aus dem zuerst genannten Aufsatz ist ferner bekannt, daß einerseits eine Alterung der einzelnen
20 Speicher bei erhöhter Temperatur, andererseits aber auch höhere Programmierspannungen die Aktivierung latenter Defekte und damit die Identifizierung und Aussortierung von mit solchen Defekten behafteten Speichern begünstigt. Aus diesem Grunde hat man bereits die einzelnen Speicher zur
25 Aktivierung der Defekte einer Vorbehandlung bei erhöhter Programmierspannung und erhöhter Temperatur unterworfen.

COPY

Da der entscheidende Ausfallmechanismus der dielektrische Durchbruch in der dünnen aus Silizium-Oxid bestehenden Tunnelisolierschicht ist, bedient man sich üblicherweise der Methoden, die sich bei diesbezüglichen Untersuchungen an MOS-Kapazitäten bewährt haben. Eine solche Methode wird beispielsweise von A.Bermann in "19th annual proceedings, reliability physics" (1981) Seiten 204 bis 209 beschrieben. Dabei handelt es sich um die gezielte Belastung einer Oxidschicht bei erhöhter Feldstärke durch Anlegen einer gegenüber dem Normalbetrieb erhöhten Spannung sowie um die Anwendung höherer Temperaturen.

Nach den vorstehend erwähnten Literaturstellen ist eine weitere Verbesserung der Aussortierbarkeit zu erwarten, wenn vor einer Endmessung der Speicher die latenten Defekte dadurch aktiviert werden, daß während der Umprogrammierspannungszyklen die Speicher auf erhöhte Temperatur, beispielsweise 150 bis 200°C oder noch höher gebracht werden könnten.

Die Realisierung dieses Gedankens stößt aber bei fertigen Speichern auf Schwierigkeiten. Bei bereits kontaktierten Speichern ist das Anlegen von Umprogrammierspannungszyklen bei erhöhter Temperatur sehr aufwendig und bei der üblichen Plastikverkapselung temperaturmäßig begrenzt durch die maximal zulässige Temperatur des Kunststoffmaterials von ca. 150°C. Die Anwendung von Umprogrammierspannungszyklen an nichtkontaktierten und noch auf einer unzerlegten Halbleiterplatte befindlichen Speichern ist schon bei Zimmertemperatur wegen des seriellen Ablaufes der Kontaktierungen von Speicher zu Speicher auf einem automatischen Spitzenkontaktiergerät viel zu zeitaufwendig und daher unwirtschaftlich. Eine Aufheizung, selbst nur auf 100°C, stößt wegen der Temperatúrausdehnung der Kontakt-

spitzen auf praktisch unüberwindliche Schwierigkeiten.

Die Erfindung beschäftigt sich nun mit einem Verfahren
zum Aktivieren der erwähnten Defekte in Speichern mit
5 Speicher-Isolierschicht-Feldeffekttransistoren mit poten-
tialmäßig schwebendem Speichergate und Tunneloxid auf der
Scheibe unter Vermeidung der genannten Schwierigkeiten.

Die Herstellung solcher Speicher-Isolierschicht-Feldeffekt-
10 transistoren erfolgt im allgemeinen gemäß dem aus der
DE-PS 27 11 895 bekannten Verfahren dadurch, daß zunächst
innerhalb von Öffnungen einer Dickoxidschicht aktive Halb-
leiterabschnitte mit den Source-Kanal- und Drain-Zonen
hergestellt werden. Über den aktiven Halbleiterabschnitten
15 wird dann eine erste dielektrische Schicht erzeugt, welche
die Bereiche der Gate-Isolatorschichten enthält. Danach
werden Bereiche bestimmter Halbleiterzonen, üblicherweise
oberhalb der Drainzonen freigelegt und dort die Tunnel-
isolatorschichten erzeugt, so daß die erste Oberflächen-
20 seite einer so behandelten Halbleiterplatte eine Mehrzahl
von Tunnelisolatorschichten innerhalb von Öffnungen einer
wesentlich dickeren, abgestuften Isolatorschicht aufweist.

Diese erste Oberflächenseite wird dann mit einer zusammen-
25 hängenden Leitschicht bedeckt, aus der Speichergates heraus-
geätzt werden. Danach werden die weiteren zur Funktions-
weise der Speicher erforderlichen Elektroden, Leitschichten
und Kontakte hergestellt.

30 Bei den bekannten Verfahren zum Aktivieren der erwähnten
Defekte werden die einzelnen gekapselten Speicher bzw. die
die einzelnen Speicher enthaltenden integrierten Schaltungen
derart behandelt, daß die Tunnelisolatorschichten bei

erhöhter Temperatur einer Belastung in einem dielektrischen Feld unterworfen werden und daß danach das Ausmaß der Aktivierung der Defekte über eine Messung der Verschiebung der Schwellwerte der Speicher-Feldeffekttransistoren
5 bestimmt wird.

Die Erfindung geht von dem Gedanken aus, die Aktivierung der Defekte durch eine Temperatur-Spannungsbehandlung bereits an der noch nicht zerteilten Halbleiterplatte vorzunehmen und zu diesem Zweck den technologischen
10 Herstellungsprozeß in einem geeigneten Stadium zu unterbrechen.

Die Erfindung betrifft somit ein Verfahren zum Aktivieren von Defekten in Speichern mit Speicher-Isolierschicht-
15 Feldeffekttransistoren gemäß dem Oberbegriff des Anspruchs 1.

Aufgabe der Erfindung ist die Angabe einer Möglichkeit, sämtliche Tunnelisolatorschichten der auf einer Halbleiterplatte befindlichen Speicher bei relativ hohen Temperaturen
20 oberhalb der bisher verwendbaren parallel für alle Speicher der Platte einer Spannungsbelastung auszusetzen, so daß die Tunnelisolatorschichten sämtlicher Speichertransistoren der Halbleiterplatte eine die Aussortierbarkeit verbessernde Behandlung erfahren.

25 Die vorstehende Aufgabe wird erfindungsgemäß durch die im kennzeichnenden Teil des Anspruchs 1 angegebene Erfindung gelöst. Die Erfindung wird im folgenden anhand der Zeichnung erläutert,

30 deren Fig. 1 die Querschnittsansicht eines Speicher-Isolierschicht-Feldeffekttransistors zeigt, dessen Herstellungsverfahren die Anwendung des Verfahrens zum Aktivieren von Defekten nach der Erfindung erlaubt,

F.G. Adam 58

Fl 1204

deren Fig. 2 die Unteransicht einer Halbleiterplatte mit einem freigelegten Kontaktierungsbereich zeigt und

deren Fig. 3 und 4

- 5 zur Veranschaulichung des Verfahrens zum Aktivieren von Defekten durch Auflegen auf eine Heizplatte dienen.

Die Querschnittsansicht der Fig. 1 zeigt einen Speicher-
10 Isolierschicht-Feldeffekttransistor, der das potentialmäßig schwebende Speichergate Fg zeigt, welches kapazitiv mittels der Steuergateelektrode Sg ansteuerbar ist, so daß aus der Drainzone D Elektronen die Tunnelisolatorschicht It durchtunneln. Die Sourcezone S und die Drain-
15 zone D sowie die Feldisolatorschicht If werden in bekannter Weise diffundiert bzw. unter Verwendung einer Oxidationsmaskierungsschicht aufgewachsen.

Zur Herstellung einer Mehrzahl Speicher-Isolierschicht-
20 Transistoren von Speichern an einer Halbleiterplatte 1 wird innerhalb der Öffnung einer relativ dicken Feldisolationschicht If auf der freigelegten oberen ersten Oberflächenseite der Platte die Gateisolatorschichten Tg erzeugt. Diese werden in einem Bereich oberhalb der Drainzonen D bis auf
25 die Halbleiteroberfläche entfernt und dort die Tunnelisolatorschichten It durch thermische Oxidation hergestellt. Anschließend wird auf die die Tunnelisolatorschichten It aufweisende erste Oberflächenseite der Halbleiterplatte 1 eine zusammenhängende Leitschicht 2 aufgebracht, aus der die
30 Speichergates Fg herausgeätzt werden müssen.

Vorher wird aber entsprechend dem Gedanken der Erfindung der Herstellungsprozeß unterbrochen und die zweite Oberflächenseite 3 innerhalb eines Kontaktierungsbereiches freigelegt,
35 so daß die Halbleiterplatte 1, wie die Fig. 2 veranschaulicht, mit der zweiten Oberflächenseite nach unten in gut wärme-

F.G. Adam 58

Fl 1204

leitenden und elektrisch leitenden Kontakt mit der Oberfläche der Heizplatte 4 gebracht werden kann. Es wird außerdem, wie die Fig. 3 und auch die Fig. 4 veranschaulichen, an der Leitschicht 2, welche im allgemeinen aus polykristallinem und dotiertem Silicium besteht, der Kontakt 5 angebracht, so daß die Tunneloxide sämtlicher Injektoren auf der Halbleiterplatte parallel mit einer Spannung U direkt belastet werden können. Die Halbleiterplatte kann dabei in einer geeigneten Metall-Keramik-Halterung auf relativ sehr hohe Temperaturen, beispielsweise 200 bis 450°C gebracht werden, ohne daß Probleme mit der Wärmeausdehnung der Kontakte auftreten könnten. Die Metall-Keramik-Halterung kann so gestaltet werden, daß eine Vielzahl von Platten gleichzeitig behandelt werden können.

Anschließend wird der Herstellungsprozeß in bekannter Weise fortgesetzt. Es wird also eine zweite dielektrische Schicht auf die erste Leitschicht aufgebracht werden, welche zur elektrischen Trennung der einzelnen Speicherelektroden Fg gegen die Steuerelektroden Sg dient. Danach wird eine weitere Leitschicht aufgebracht und die einzelnen Elektroden Fg bzw. Sg aus der Schichtenfolge herausgeätzt. Danach werden in üblicher Weise die Leitschichten und Kontakte angebracht, die Halbleiterplatte zerteilt und die Kontakte mit Zuleitungen verbunden, sowie die einzelnen Speicher verkapselt.

Das Ausmaß der durch das Verfahren der Erfindung aktivierten Defekte kann nun oder vorzugsweise bereits an der noch nicht zerteilten Halbleiterplatte 1 durch Messung der Verschiebung der Schwellwerte bestimmt werden und die Speicher nach bestimmten Aussortierkriterien sortiert werden.

13.04.85

- 7 -

9.

3345172

F.G. Adam 58

F1 1204

Das Verfahren der Erfindung erlaubt die elektrische
Belastung der Tunnelisolatorschichten It bei erhöhten
Temperaturen unter Spannungsbelastungen U wechselnder
Polarität, wie sie auch bei Umprogrammierungszyklen ver-
5 wendet werden. Das Verfahren der Erfindung erlaubt aber
auch eine Vorbehandlung der Speicher bei fast beliebigen
Spannungs-Temperatur-Zyklen, so daß mit großer Sicherheit
Speicher mit latenten Defekten rechtzeitig aussortiert
werden können, die sonst erst im aufgebauten Zustand,
10 beim Endtest oder gar erst beim Anwender als schlecht
erkannt worden wären.

.10.
- Leerseite -

THIS PAGE BLANK (USPTO)

33 45 172

G 11 C 11/40

14. Dezember 1983

25. Juli 1985

- 11 -

FIG. 1

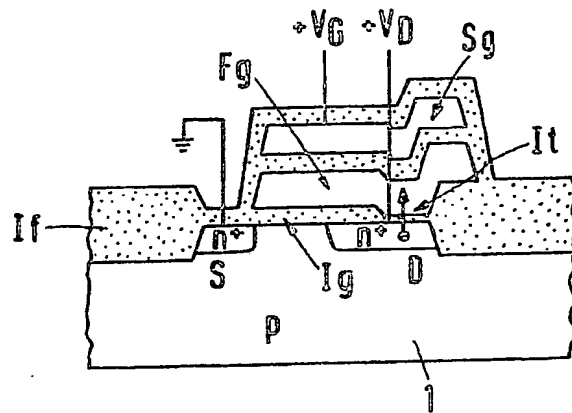


FIG. 2

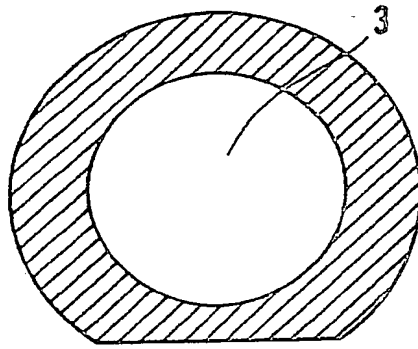


FIG. 3

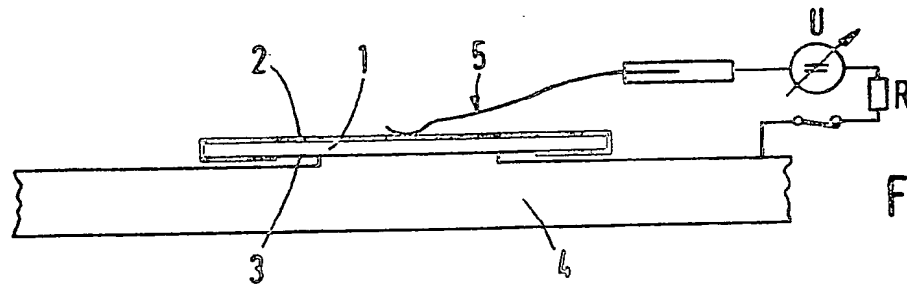


FIG. 4

